

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-162973

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.<sup>6</sup> 識別記号H 0 1 L 21/316  
21/265

F I

H 0 1 L 21/316  
21/265S  
J  
Q

審査請求 有 請求項の数14 O L (全 5 頁)

(21) 出願番号 特願平9-327608

(22) 出願日 平成9年(1997)11月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 樋口 実

東京都港区芝五丁目7番1号 日本電気株式会社内

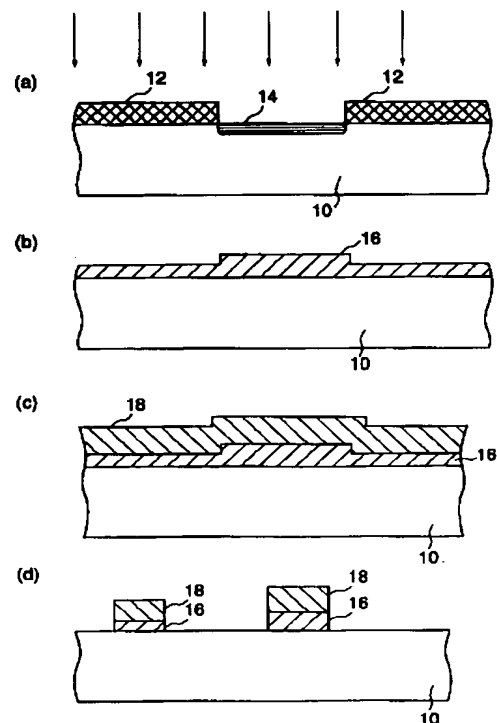
(74) 代理人 弁理士 後藤 洋介 (外1名)

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 MOS型半導体集積回路装置の駆動速度を遅くすることなく、信頼性を確保し、同一基板上に複数の膜厚のゲート酸化膜を形成する方法を提供すること。

【解決手段】 シリコン基板10上にホトレジスト12でパターンを形成し、熱酸化速度を速くするためのイオンを選択的に注入する。ホトレジスト12を除去した後、熱酸化を行う。次に、 $\text{SiO}_2$  膜16上に多結晶シリコン膜18を成長し、パターンを形成することによって異なる $\text{SiO}_2$  膜厚のMOSFETのゲート酸化膜を同時に形成する。



## 【特許請求の範囲】

【請求項 1】 シリコン基板上に選択的に、熱酸化速度を速くするためのイオン注入を行い同一基板上に複数の膜厚の酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記イオン注入工程において、注入されるイオンが酸素又は酸素を含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記イオン注入工程において、注入されるイオンがシリコン又はシリコンを含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記イオン注入工程において、注入されるイオンが希ガス又は希ガスを含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記イオン注入工程において、注入されるイオンがアルゴン又はアルゴンを含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記イオン注入工程において、注入されるイオンがクリプトン又はクリプトンを含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記イオン注入工程において、注入されるイオンがキセノン又はキセノンを含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 前記イオン注入工程において、注入されるイオンがハロゲン又はハロゲンを含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 前記イオン注入工程において、注入されるイオンがフッ素又はフッ素を含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 10】 前記イオン注入工程において、注入されるイオンが塩素又は塩素を含んだものであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 11】 前記イオン注入工程において、イオン注入のドーズ量が  $1 \times 10^{16} \sim 1 \times 10^{17}$  であることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 12】 前記イオン注入工程において、イオン注入のドーズ量が  $1 \times 10^{15} \sim 1 \times 10^{16}$  であることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 13】 前記イオン注入工程において、イオン注入のドーズ量が  $1 \times 10^{15} \sim 1 \times 10^{16}$  であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 14】 前記イオン注入工程において、イオン注入のドーズ量が  $1 \times 10^{14} \sim 1 \times 10^{15}$  であることを特徴とする請求項 8 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、本発明は同一基板上に複数の膜厚のゲート酸化膜を有する MOS 型半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 MOS 型半導体集積回路装置の駆動速度を高速化するために、電源電圧を低くし、MOSFET のゲート酸化膜を薄膜化することが進められている。しかし、一つの装置内で多種の電源電圧をもつ半導体集積回路装置を混用せざるをえないために、MOS 型半導体集積回路装置への外部からの入力信号の電圧が、電源電圧よりも高い場合があり、信頼性の面から、入力信号を受ける MOSFET のゲート酸化膜は薄膜化することはできない。したがって、同一基板上に複数の膜厚のゲート酸化膜を形成する必要がある。

【0003】 従来、このような同一基板上に複数の膜厚のゲート酸化膜を形成する方法として、特開昭 58-54638 号公報等に記載されている方法が知られている。即ち、この方法では、半導体基板上に選択的に窒素又は窒素を含むイオン注入を行い、イオン注入を行った領域の熱酸化速度を遅くすることで同一基板上に複数の膜厚のゲート酸化膜を形成している。

【0004】 この従来の半導体装置の製造方法の一実施例を図を用いて説明する。同一基板上に複数の膜厚のゲート酸化膜を形成する従来の半導体装置の製造方法の工程を図 2 (a) ~ (d) に示す。図 2 (a) に示すようにシリコン基板 20 上にホトレジスト 22 でパターンを形成し、窒素又は窒素を含むイオンを選択的にイオン注入する。次いでホトレジスト 22 を除去した後、熱酸化を行う。この際に注入された窒素がシリコン表面に偏析し、酸化を抑制する。このために窒素又は窒素を含むイオンの注入領域 24 と未注入領域とでシリコンの酸化速度に差ができ、図 2 (b) のように SiO<sub>2</sub> 膜 26 の厚みの異なる領域を同時に形成することができる。次いで図 2 (c) のように SiO<sub>2</sub> 膜 26 上に多結晶シリコン膜 28 を成長し、パターンを形成後、これをマスクとして SiO<sub>2</sub> 膜 26 をエッチングすることによって図 2 (d) に示すような異なる SiO<sub>2</sub> 膜厚の MOSFET のゲート酸化膜を同時に形成する。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来の方法では注入された窒素がシリコン表面に偏析する、すなわち、薄いゲート酸化膜厚の MOSFET のゲートのシリコン基板と酸化膜の界面に窒素が偏析するために、MOSFET のチャネルの移動度が減少し、オン状態での電流が流れにくくなり、MOS 型半導体集積回路装置の駆動速度を遅くするという問題が生じる。ゲート酸化膜の薄膜化は、MOSFET のオン状態での電流を大きくするために行っているのであるから、ゲートのシリコン基板と酸化膜の界面に窒素が偏析することで薄いゲート酸化膜厚の MOSFET のチャネルの移動度が減少し、オン状態での電流が流れにくくなることは致命的な問題である。

【0006】 さらに、半導体素子の微細化がすすむにつ

## 3

れて、ゲート酸化膜厚がますます薄膜化するが従来の方法では、基板上で最も薄いゲート酸化膜厚のMOSFETのゲートのシリコン基板と酸化膜の界面に窒素が偏析することとなり、強固なゲート酸化膜を形成することが難しく、信頼性の面からも問題である。前記の問題は、窒素でない別の元素をシリコン表面に偏析させ熱酸化速度を遅くすることで同一基板上に複数の膜厚のゲート酸化膜を形成する場合にも問題となる。

【0007】本発明は、複数の膜厚のゲート酸化膜のMOSFETを有する半導体装置において、MOS型半導体集積回路装置の駆動速度を遅くすることなく、信頼性を確保し、同一基板上に複数の膜厚のゲート酸化膜を形成する方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明によれば、シリコン基板上に選択的に、熱酸化速度を速くするためのイオン注入を行い同一基板上に複数の膜厚の酸化膜を形成することを特徴とする半導体装置の製造方法が得られる。

【0009】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンが酸素又は酸素を含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0010】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンがシリコン又はシリコンを含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0011】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンが希ガス又は希ガスを含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0012】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンがアルゴン又はアルゴンを含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0013】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンがクリプトン又はクリプトンを含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0014】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンがキセノン又はキセノンを含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0015】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンがハロゲン又はハロゲンを含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0016】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンがフッ素又はフッ素を含んだものであることを特徴とする半導体装置の製造方法が得られる。

## 4

【0017】さらに、本発明によれば、前記イオン注入工程において、注入されるイオンが塩素又は塩素を含んだものであることを特徴とする半導体装置の製造方法が得られる。

【0018】さらに、本発明によれば、前記イオン注入工程において、イオン注入のドーズ量が $1 \times 10^{16} \sim 1 \times 10^{17}$ であることを特徴とする半導体装置の製造方法が得られる。

【0019】さらに、本発明によれば、前記イオン注入工程において、イオン注入のドーズ量が $1 \times 10^{15} \sim 1 \times 10^{16}$ であることを特徴とする半導体装置の製造方法が得られる。

【0020】さらに、本発明によれば、前記イオン注入工程において、イオン注入のドーズ量が $1 \times 10^{15} \sim 1 \times 10^{16}$ であることを特徴とする半導体装置の製造方法が得られる。

【0021】さらに、本発明によれば、前記イオン注入工程において、イオン注入のドーズ量が $1 \times 10^{14} \sim 1 \times 10^{15}$ であることを特徴とする半導体装置の製造方法が得られる。

## 【0022】

【作用】本発明では、シリコン基板上に選択的に、熱酸化速度を速くするためのイオン注入を行い同一基板上に複数の膜厚の酸化膜を形成する。この注入されたイオンは、酸素、シリコンイオンの場合はいうまでもないが、希ガス、ハロゲンイオンの場合も熱酸化中に拡散してしまい、シリコン基板と酸化膜の界面に残らないために、厚いゲート酸化膜厚のMOSFETに悪影響をもたらさない。

【0023】薄いゲート酸化膜厚のMOSFETは、このイオン注入が行われていない領域であるから、もちろん、チャネルの移動度の減少はなく、オン状態で電流が流れにくくなることもないため、MOS型半導体集積回路装置の駆動速度を遅くする問題もなく、また、ゲートのシリコン基板と酸化膜の界面に窒素が偏析することもないので、強固なゲート酸化膜が形成できる。すなわち、本発明では、MOS型半導体集積回路装置の駆動速度を遅くすることも信頼性劣化の問題もなく、複数の膜厚のゲート酸化膜のMOSFETを有する半導体装置を形成することができる。

## 【0024】

【発明の実施の形態】以下、本発明に係る半導体装置の製造方法の実施の形態について図1を参照して説明する。シリコン基板10上にホトレジスト12でパターンを形成し、熱酸化速度を速くするためのイオンを選択的に注入する。次いでホトレジスト12を除去した後、熱酸化を行う。この際にイオンが注入されたシリコン表面は、熱酸化速度が速く、イオン注入領域14と未注入領域とでシリコンの酸化速度に差ができ、 $\text{SiO}_2$ 膜16の厚みの異なる領域を同時に形成することができる。次

いで、 $\text{SiO}_2$  膜16上に多結晶シリコン膜18を成長し、パターンを形成することによって異なる $\text{SiO}_2$  膜厚のMOSFETのゲート酸化膜を同時に形成する。

#### 【0025】

【実施例】以下、本発明の第1の実施例について説明する。図1(a)に示すようにシリコン基板10上にホトレジスト12でパターンを形成し、酸素イオンを選択的に、例えばドーズ量 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-2}$ イオン注入する。次いでホトレジスト12を除去した後、熱酸化を行う。この際に酸素が注入されたシリコン表面は、熱酸化速度が速く、イオン注入領域14と未注入領域とでシリコンの酸化速度に差ができ、図1(b)のように $\text{SiO}_2$  膜16の厚みの異なる領域を同時に形成することができる。次いで図1(c)のように $\text{SiO}_2$  膜16上に多結晶シリコン膜18を成長し、パターンを形成することによって図1(d)に示すような異なる $\text{SiO}_2$  膜厚のMOSFETのゲート酸化膜を同時に形成する。

【0026】次に、本発明の第2の実施例について説明する。図1(a)に示すようにシリコン基板10上にホトレジスト12でパターンを形成し、シリコンイオンを選択的に、例えばドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ イオン注入する。その後、第1の製造方法と同様にし、図1(d)に示すような異なる $\text{SiO}_2$  膜厚のMOSFETのゲート酸化膜を同時に形成する。

【0027】次に、本発明の第3の実施例について説明する。図1(a)に示すようにシリコン基板10上にホトレジスト12でパターンを形成し、希ガスイオンを選択的に、例えばドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ イオン注入する。その後、第1の製造方法と同様にし、図1(d)に示すような異なる $\text{SiO}_2$  膜厚のMOSFETのゲート酸化膜を同時に形成する。

【0028】次に、本発明の第4の実施例について説明する。図1(a)に示すようにシリコン基板10上にホトレジスト12でパターンを形成し、ハロゲンイオンを選択的に、例えばドーズ量 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ イオン注入する。その後、第1の製造方法と同様にし、図1(d)に示すような異なる $\text{SiO}_2$  膜厚のMO

SFETのゲート酸化膜を同時に形成する。

【0029】イオン注入工程において、前記イオンのイオン種は上記以外に、アルゴン又はアルゴンを含んだもの、クリプトン又はクリプトンを含んだもの、キセノン又はキセノンを含んだもの、フッ素又はフッ素を含んだもの、塩素又は塩素を含んだものであってもよい。

#### 【0030】

【発明の効果】本発明によれば、シリコン基板上に選択的に、熱酸化速度を速くするためのイオン注入を行い、同一基板上に複数の膜厚の酸化膜を形成するが、この注入されたイオンは、酸素、シリコンイオンの場合はいうまでもないが、希ガス、ハロゲンイオンの場合も熱酸化中に拡散してしまい、シリコン基板と酸化膜の界面に残らないために、厚いゲート酸化膜厚のMOSFETに悪影響をもたらさない。

【0031】薄いゲート酸化膜厚のMOSFETは、このイオン注入が行なわれていない領域であるから、もちろん、チャネルの移動度の減少はなく、オン状態で電流が流れにくくなることもないため、MOS型半導体集積回路装置の駆動速度を遅くする問題もなく、また、ゲートのシリコン基板と酸化膜の界面に窒素が偏析することもないので、強固なゲート酸化膜が形成できる。すなわち、本発明では、MOS型半導体集積回路装置の駆動速度を遅くすることも信頼性劣化の問題もなく、複数の膜厚のゲート酸化膜のMOSFETを有する半導体装置を形成することができる。

#### 【図面の簡単な説明】

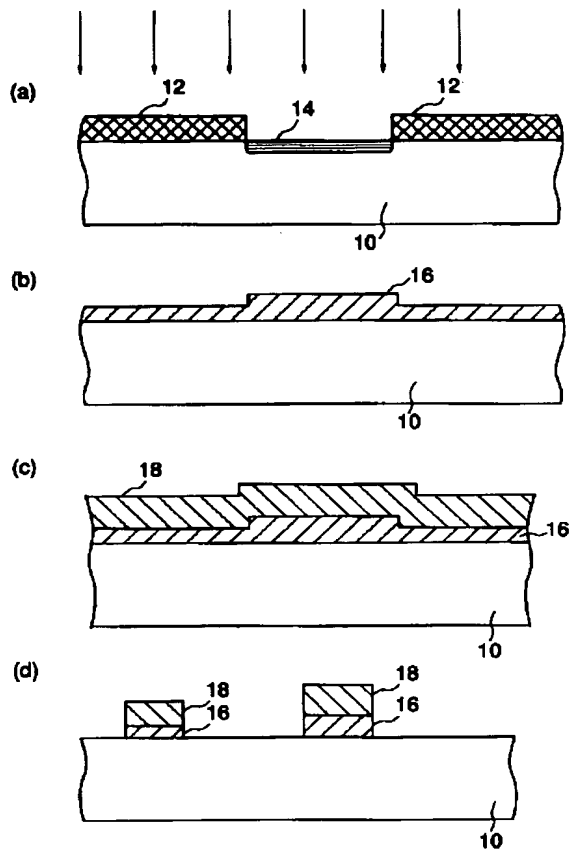
【図1】本発明に係る半導体装置の製造方法の工程を示した図である。

【図2】従来の半導体装置の製造方法の工程を示した図である。

#### 【符号の説明】

- 10 シリコン基板
- 12 ホトレジスト
- 14 イオン注入領域
- 16  $\text{SiO}_2$  膜
- 18 多結晶シリコン膜

【図 1】



【図 2】

